# 第五周学习指南

## 5.1 课程内容

课程内容包括慕课中第三集成门电路与触发器（2）和第五章同步时序逻辑电路的5.1节时序逻辑电路基础。

我们从这一部分开始讲述另一种非常重要的电路，时序逻辑电路。触发器是构成时序逻辑电路的重要元件，理解触发器对于时序逻辑电路的分析和设计有着至关重要的作用。触发器这一部分主要介绍基本RS触发器以及常用的钟控触发器。

时序逻辑电路基础对时序逻辑电路的基本结构、输入约束和分类，以及同步时序逻辑电路的描述方法进行了说明。

## 5.2 教学重点

**1. 触发器概述**

* 触发器的状态和输出。
* 现态和次态的概念。
* 常用描述方法：功能表、状态表、状态图、次态方程、激励表和卡诺图。

**2. 基本R-S触发器**

* 与非门构成的基本R-S触发器的功能表、约束方程和次态方程。
* 或非门构成的基本R-S触发器的功能表、约束方程和次态方程。
* 基本R-S触发器的特点和用途。

**3. 钟控触发器**

* 钟控触发器的特点。
* 四种常用钟控触发器的功能、约束方程（仅钟控R-S触发器）和次态方程等。
* 理解“空翻”现象。

**4. 主从R-S触发器**

* 主从R-S触发器的结构和特点。
* 了解时间图的绘制方法。

**5. 主从JK触发器**

* 主从J-K触发器的结构和特点。
* 进一步理解时间图的绘制方法。
* 存在“一次翻转”问题。

**6. 维持阻塞触发器**

* 维持阻塞结构D触发器的结构和特点。
* 掌握时间图的绘制方法。
* 学会识别钟控触发器的逻辑符号，注意空心圆圈所表示的含义在不同位置有所不同：在输入端出现一般表示输入低电平有效；在时钟CP端出现表示是下降沿触发的钟控触发器；在输出端则一般表示逻辑非。
* 注意：在后面的电路里面，如果没有画出钟控触发器的内部结构，只给出钟控触发器的逻辑符号，一律当作上升或者下降沿触发的钟控触发器（边沿触发器）。

**7. 时序逻辑电路概述**

* 时序逻辑电路的结构、输入输出信号和特点。
* 时序逻辑电路的分类。
* Mealy型电路和Moore型电路的特点以及区分方法。

**8. 同步时序逻辑电路的描述方法**

* 逻辑函数表达式：激励函数表达式，输出函数表达式，次态函数表达式。
* 状态表和状态图。
* 时间图。

## 5.3 本周作业及要求

**习题三：3.13；3.14；3.15。**

**注意：3.14和3.15只要画时间图就可以了，注意时间图的对齐。**